

Abschlussbericht Teil I im BMBF Rahmenprogramm „Vom Material zur Innovation“

Vorhabenbezeichnung: PaSiC - Silicium-Keramik-Hybridsubstrat als Integrationsplattform für photoakustische und optische Anwendungen	
Zuwendungsempfänger: TU Ilmenau FG Elektroniktechnologie	Förderkennzeichen 03XPO276D
Projektleiter*in Prof. Dr.-Ing. Jens Müller	Berichtszeitraum 01.07.2020 – 30.06.2023

Im Projekt PaSiC - Silicium-Keramik-Hybridsubstrat als Integrationsplattform für photoakustische und optische Anwendungen wurden seitens der Technischen Universität Ilmenau (Fachgebiet Elektroniktechnologie) Verfahren für die Herstellung von sogenannten SiCer-Verbundsubstraten entwickelt. Dabei wird ein Stapel aus LTCC-Grünfolienlaminaten (Low Temperature Cofired Ceramics) direkt im Sinterprozess mit einem Siliziumwafer verbunden. Der Vorteil dieser Technologie liegt in der direkten Verknüpfung von siliziumbasierten Funktionsstrukturen mit dreidimensionalen, robusten Mehrlagenssubstraten.

Während der Projektlaufzeit wurden durch das Fraunhofer IKTS diskontinuierlich gegossene (nur eine Gießstrecke lang) und kontinuierlich gegossene (mehrere Gießstrecken lang) LTCC-Folien genutzt. Zu Beginn des Projekts konnten keine rissfreien SiCer-Verbundsubstrate hergestellt werden. Im Projektverlauf führten verschiedene Anpassungen an den Grünfolien zu einer Verbesserung der Prozessierbarkeit. Um diese weiter zu steigern, wurde das sogenannte SoToS-Verfahren (Substrate-on-Tape-on-Substrate) entwickelt, bei dem ein SiCer-Verbund mit nur dünnen LTCC-Lagen hergestellt wird und nachträglich mit einem bereits gesinterten LTCC-Substrat versintert wird (vgl. Abbildung 1). Dieser Prozess ermöglicht sowohl höheren Dicken im keramischen Anteil des Substrats als auch eine bessere Integrierbarkeit von Kavitäten am Interface zwischen Silizium und LTCC.

Weiterhin wurde die Strukturierbarkeit der LTCC-Grünfolien mittels Stanzen und Lasern untersucht und die dafür notwendigen Technologien auf die verschiedenen Tapematerialien angepasst.

Ein ausführliches Pastenscreening wurde mit Silber- und Goldpasten durchgeführt. Sowohl die reproduzierbare Herstellung von Durchkontaktierungen als auch die Erzeugung von elektrischen Strukturen innerhalb der Ebenen und auf der Oberfläche mittels Siebdruckverfahren wurden untersucht. Die Eignung der metallischen

Strukturen auf der Oberfläche für Gold-Drahtbondprozesse und die Lötbarkeit wurden nachgewiesen (vgl. Abbildung 2 und Abbildung 3).

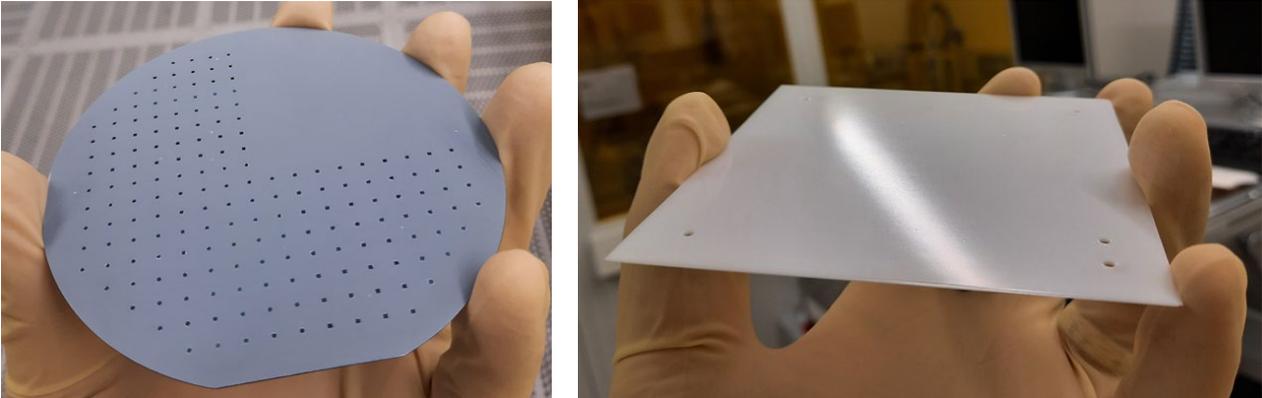


Abbildung 1: SoToS-Substrat I (links), freigesintertes LTCC-Substrat II (rechts)

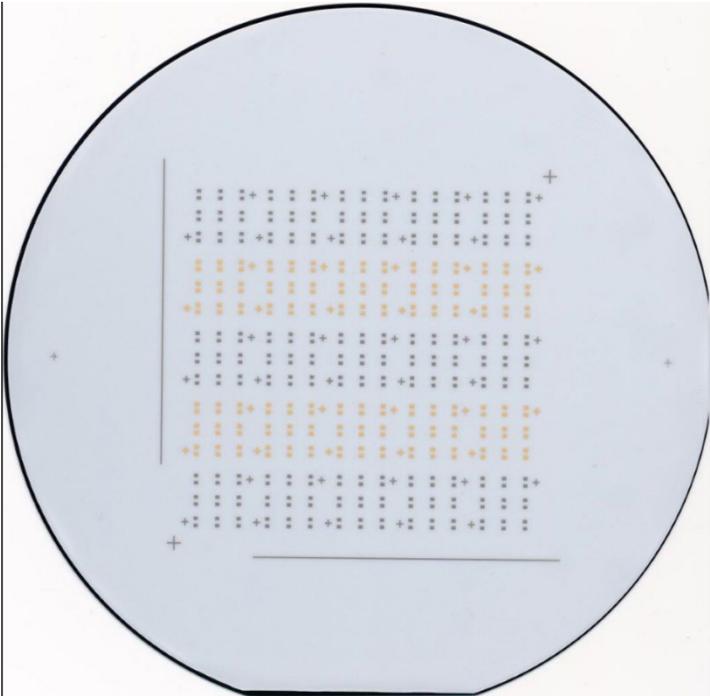


Abbildung 2: Pastenkompatibilitätstest

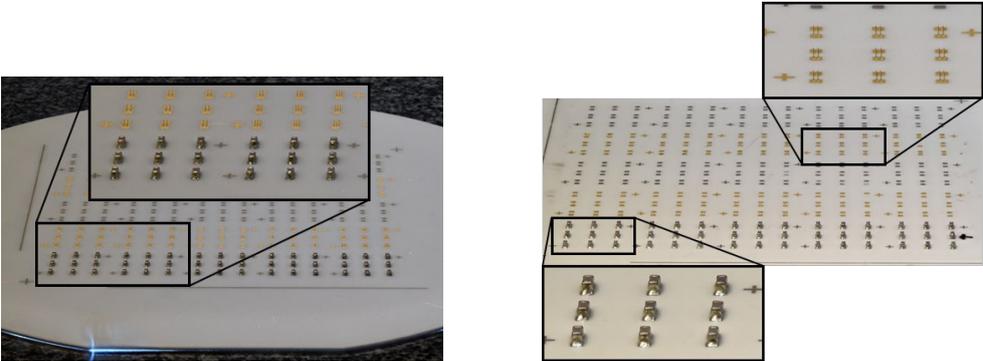


Abbildung 3 Löt- und Bondtests

Abschlussbericht Teil II im BMBF-Rahmenprogramm „Vom Material zur Innovation“

Vorhabenbezeichnung: PaSiC - Silicium-Keramik-Hybridsubstrat als Integrationsplattform für photoakustische und optische Anwendungen	
Zuwendungsempfänger: TU Ilmenau FG Elektroniktechnologie	Förderkennzeichen 03XPO276D
Projektleiter*in Prof. Dr.-Ing. Jens Müller	Berichtszeitraum 01.07.2020 – 30.06.2023

1. Aufzählung der wichtigsten wissenschaftlich-technischen Ergebnisse und anderer wesentlicher Ereignisse

AP 2 und AP 4

In AP 2 wurden die durch das Fraunhofer IKTS gefertigten LTCC Folien untersucht. Zuerst wurden bei diskontinuierlich gegossenen und kontinuierlich gegossenen Folien durch die Technische Universität Ilmenau Prozesskompatibilitäts-Untersuchungen durchgeführt. Hierbei sind für eine erste Untersuchung zur Prozessierbarkeit Siliziumwafer mit einem LTCC-Stapel gesintert worden. Ergebnis war, dass die Prozessierung in den Öfen der Technischen Universität, durch die notwendige Auflage von Gewichten $\geq 11,5$ kg, nicht mehr möglich ist, da sich über die gesamte Waferfläche Risse ausgebildet haben (vgl. Abbildung 1).

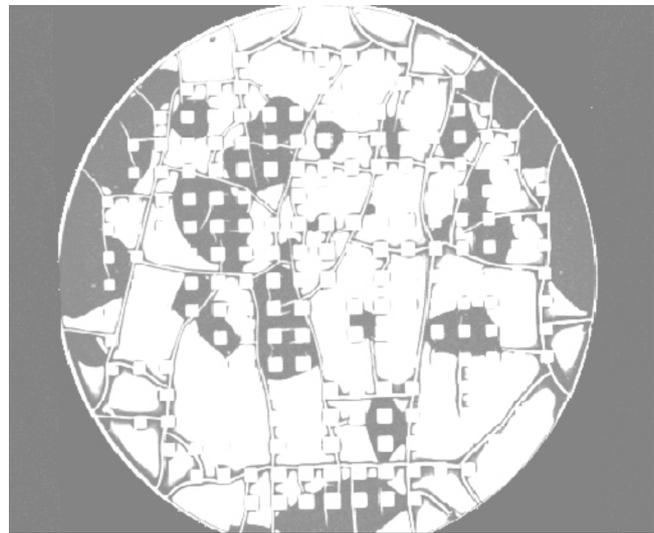
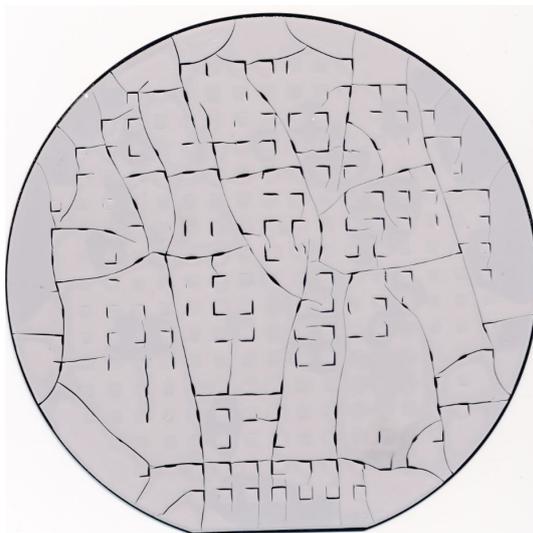


Abbildung 1: SiCer-Wafer mit vergrabenen Kavitäten, Foto (links), Ultraschall-Bild des Interfaces (rechts)

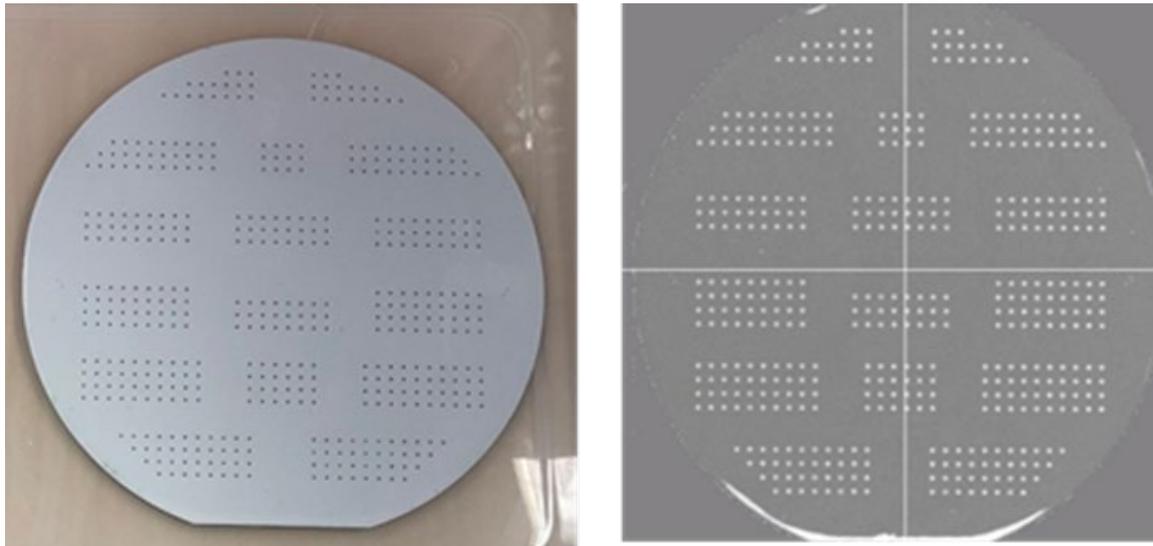


Abbildung 2: SiC-Substrat mit Tape-Generation 2

Evaluieren wurden dementsprechend zuerst die vorangehenden Prozessschritte an verschiedenen Tapechargen. Diese Untersuchungen haben einen direkten Bezug zu den Arbeiten in AP 4, weshalb in diesem Bericht eine Unterscheidung von AP2 und AP 4 nicht vorgenommen wird.

Im weiteren Projektverlauf wurden verschiedene vom Fraunhofer IKTS gelieferte Tape-Chargen, sowohl kontinuierlich gegossene Tapes als auch diskontinuierlich gegossene Tapes, untersucht. Die verbesserten Tapechargen, mit veränderter Tapezusammensetzung zeigen bei vollflächigem Anlaminieren keine bis wenige Risse. Eine Verringerung des Auflagegewichts von zuerst 4,5 kg und später 3,5 kg konnte erfolgreich demonstriert werden. Dadurch ist die einfache Prozessierung an der TU Ilmenau mit den neueren Tapechargen möglich.

Um die Sinterzeit zu verkürzen, wurden verschiedene Sinterprofile untersucht. Die maximale Sintertemperatur wurde auf 920°C angehoben und die Entbinderungsphase verlängert.

Dies führte bei Substraten mit Kavitäten zu besseren Ergebnissen. Risse wurden größtenteils unterdrückt. Komplett rissfreie Substrate konnten jedoch nicht hergestellt werden.

Im Projektverlauf wurde die Tapezusammensetzung seitens des IKTS nochmals angepasst (Generation 2). Dies führte zu bedeutend besseren Ergebnissen, wodurch auch nahezu rissfreie Substrate herstellbar sind (vgl. Abbildung 2). Im weiteren Projektverlauf wurde deshalb nur noch auf diese Zusammensetzung zurückgegriffen und die Dicke der LTCC-Anteile bei weiteren Untersuchungen erhöht.

Parallel wurden Untersuchungen zum sogenannten Substrate-on-Tape-on-Substrate-Verfahren (SoToS-Verfahren) durchgeführt. Das SoToS-Verfahren ermöglicht das

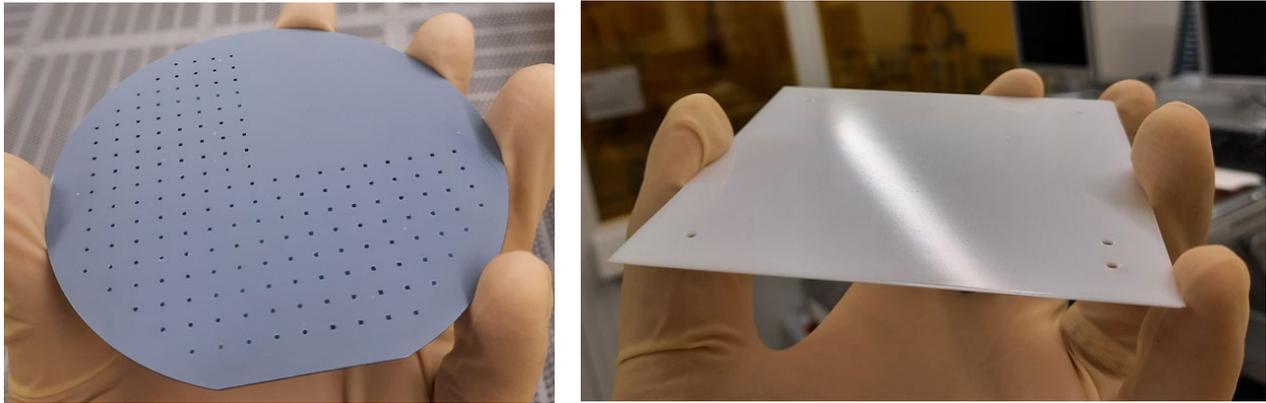


Abbildung 5: SoToS-Substrat I (links), freigesintertes LTCC-Substrat II (rechts)

MHE hergestellt. Zwischen die beiden dann gesinterten Substrate wird eine weitere nichtgesinterte LTCC-Lage (green) präzise positioniert und laminiert und alles gemeinsam unter Druck gesintert. Dieses Verfahren nennen wir Substrate-on-Tape-on-Substrate (SoToS).

Die Herstellung der beiden äußeren gesinterten Substrate konnte erfolgreich durchgeführt werden (siehe Abbildung 5).

Ein final hergestelltes SoToS-Substrat mit Kavitäten weist an den Rändern keine Delaminationen auf (vgl. Abbildung 4).

Um den Aufwand beim SoToS-Verfahren zu verringern wurden Untersuchungen durchgeführt, die anlamierte LTCC Lage I einzusparen, wodurch ein 24h-Sinterschritt eingespart werden könnte. Die Ergebnisse zeigen jedoch eine Delamination am Interface von LTCC-Tape zu im Vorfeld gesintertem LTCC-Substrat (vgl. Abbildung 6). Hier wurden vorerst keine weiterführenden Untersuchungen durchgeführt.

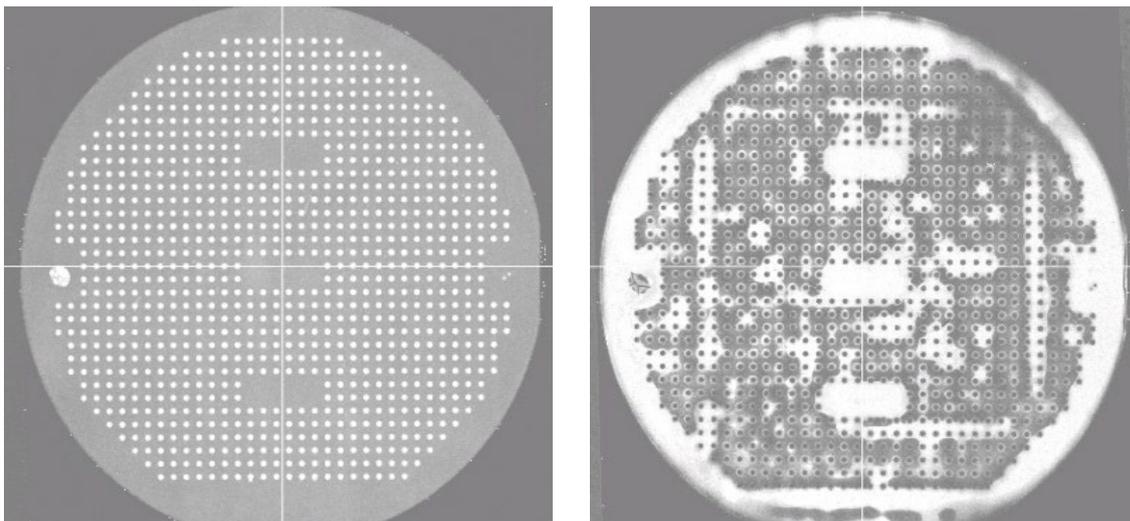


Abbildung 6: SoToS-Substrat Interface Si-LTCC (links), Interface LTCC-Tape zu LTCC-Substrat (rechts)

Stanzen

Alle Tapes (unabhängig von der Tape-Zusammensetzung) konnten mit Standard-Stanz-Verfahren gestanzt werden. Da die Dicken der gelieferten Tapechargen immer sehr gering waren, wurden stets Doppellagen hergestellt und weiter prozessiert. Dadurch ergibt sich auch eine geringere Geometrie-Toleranz des gesamten LTCC-Stapels und die Anzahl der nachfolgenden Prozesse kann minimiert werden. Für eine zukünftige wirtschaftliche Anwendung müssen verschiedene Dicke zur Verfügung stehen.

Bei den neuen Tapechargen können ohne Einschränkung mittels Stanzen Vias erzeugt werden, wobei sich die Grenze von 150 μm Durchmesser nicht zu noch kleineren Werten verringern lässt. Die Ausbildung der Kanten der Vias ist prinzipbedingt beim Stanzen sehr gut.

Lasern

Alle Chargen des gelieferten LTCC-Materials können gelasert werden. Sowohl Einzellagen als auch Doppellagen können mittels Pikosekundenlasers bearbeitet werden. Mittels Laserstrukturierung können auch kleinere Vias ($<150 \mu\text{m}$) hergestellt werden. Diese können dann jedoch nicht mehr zuverlässig gefüllt werden (vgl. Viafilling).

Für die weitere Prozessierung ist ein Konturschnitt (Waferkontur) des grünen LTCC-Laminats notwendig. Die Bearbeitung mit dem an der Technischen Universität Ilmenau vorhandenen Pikosekundenlaser ist zwar möglich, aber sehr zeitintensiv. Hier müssen für eine serientaugliche Prozessierung andere Laser oder andere Technologien (z.B. Fräsen) genutzt werden. Möglich ist hier auch eine Auslagerung zu Laserfertigern.

Viafilling

Gestanzte Vias konnten bei Doppellagen bis zu einem minimalen Durchmesser von 150 μm zuverlässig mit Gold-Paste gefüllt werden. Kleinere Vias konnten nur teilweise gefüllt werden. Gelaserte Vias in Doppellagen können bei Durchmessern kleiner 150 μm nur schwer, bei kleiner 100 μm nicht mehr zufriedenstellend gefüllt werden. Bei Einzellagen können Vias bis zu einem Durchmesser von 100 μm noch zufriedenstellend, bei einem Durchmesser kleiner als 60 μm nicht mehr gefüllt werden.

Siebdruck

Bei den neuen Tapechargen wurden die typischen Pasten-Tests durchgeführt. Bei den im Projekt verwendeten Gold-Pasten und Platin-Pasten konnten sowohl in vergrabenen Lagen als auch auf der Toplage unabhängig von der Charge zufriedenstellende Druckergebnisse demonstriert werden (vgl. Abbildung 7).

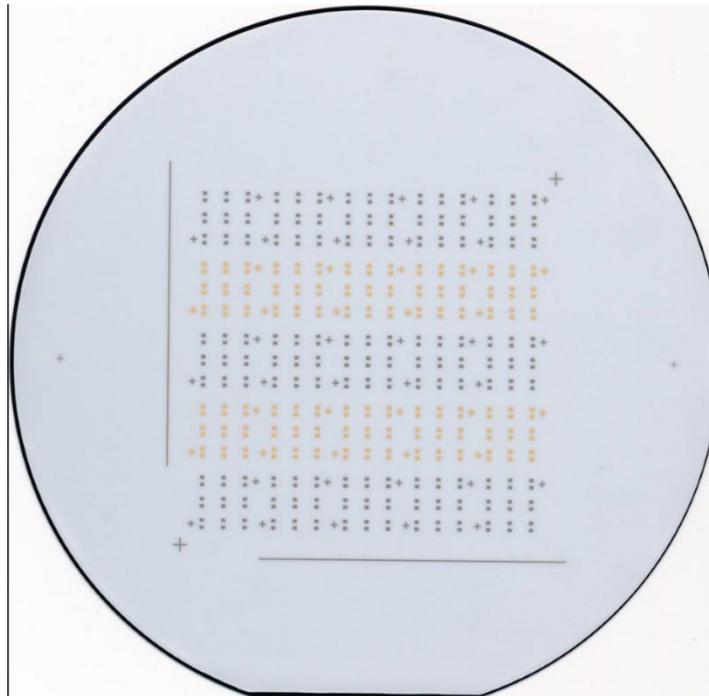


Abbildung 7: Pastenkompatibilitätstest

Die hergestellten Schichten haben eine ausreichende Leitfähigkeit.

Auf den verschiedenen Pasten wurden sowohl Löt- als auch Bondtests zufriedenstellend durchgeführt (vgl. Abbildung 8). Dadurch wurde gezeigt, dass eine Bestückung mittels Standardverfahren auf einem SiCer-Substrat möglich ist.

Die direkte Kontaktierung auf dem Wafer wurde getestet. Prinzipiell ist sowohl eine Kontaktierung über Strukturen auf dem Wafer, als auch eine direkten Kontaktierung des Si-Wafers möglich (vgl. Abbildung 9).

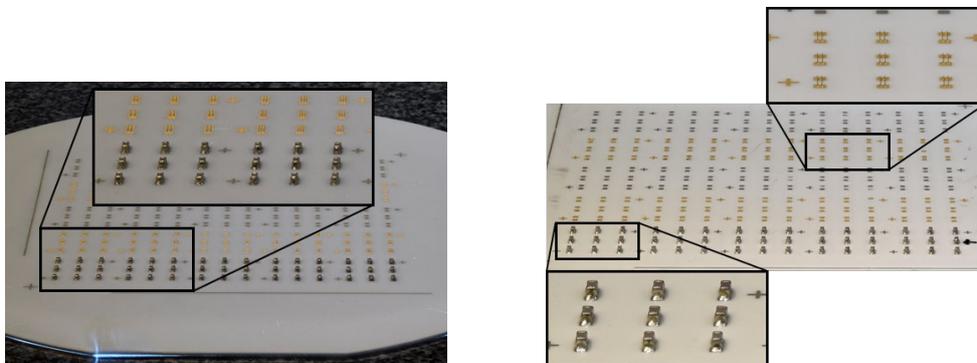


Abbildung 8 Löt- und Bondtests

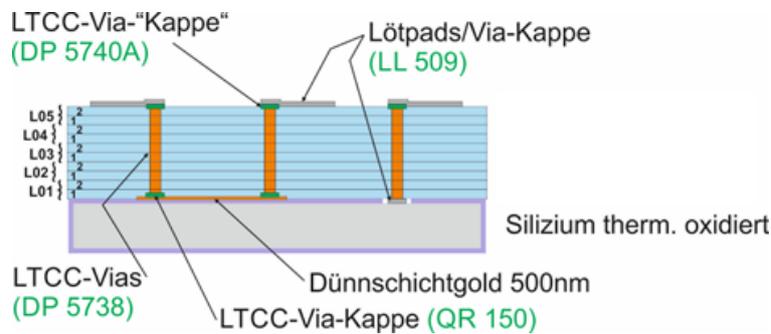


Abbildung 9: Schliffbild und schematische Darstellung der Kontaktierung über den Si-Wafer

Lamination

Die Lamination von Substraten ohne Kavitäten wurden mittels Silikonmatten durchgeführt. Dadurch ergibt sich eine gleichmäßige Verdichtung des LTCC-Anteils.

Bei Substraten mit Kavitäten wurde auf ein Auffüllen von Kavitäten mit Opfermaterial verzichtet, da diese Rückstände innerhalb der Kavitäten hinterlassen würde. Stattdessen wurde ein quasi-isostatisches Verfahren entwickelt und genutzt. Dabei wird eine ausreichend steife Platte in Waferform auf dem Laminations-Stapel gelegt. Diese wirkt beim isostatischen Laminationsprozess als Druckverteilung und simuliert einen uniaxialen Laminationsprozess bei gleichzeitiger Vermeidung der typischen Keilfehlerproblematik bei uniaxialen Pressen.

Sinterung

Um ein delaminationsfreies Ansintern zu gewährleisten wurden die Sinterprofile in unterschiedlichen Parametern variiert. Einerseits wurden die Haltezeiten für die Entbinderung, als auch die eigentliche Sinterzeit verlängert. Andererseits wurden die Sintertemperaturen teilweise erhöht, was zu einer besseren Benetzung am Interface zwischen Silizium und LTCC geführt hat.

Ziel der Untersuchungen war die Minimierung der Sinterzeit. Hier konnten Sinterzeiten von kleiner 24 h für Sinterprofile mit einem Sinterschritt erreicht werden.

Für die SoToS-Verfahren wurden die verkürzten Sinterprofile genutzt. Hier hat sich gezeigt, dass ein Versintern von sehr dicken Substraten möglich ist, allerdings die Entbinderung der Tape-Schicht stark eingeschränkt ist. Hier sind Entbinderungs-Kanäle oder -Vias notwendig.

AP 6

Aufgrund der bisher nicht zufriedenstellenden Herstellung von Silizium-LTCC-Verbundsubstraten wurde im AP 6 durch die beteiligten Projektpartner ein alternativer Sensoraufbau entwickelt, bei diesem ist die Prozessierung der LTCC mittels hybrider Aufbau- und Verbindungstechnologien möglich. Dies vereinfacht die Herstellung und steigert die Materialausnutzung auf Seiten der Halbleiterherstellung. Dies führt zu einem ressourcenschonenden Herstellprozess.

2. Vergleich des Vorhabenstands mit der ursprünglichen Arbeits- und Zeitplanung (zur Ausgaben-/Kostenplanung ist separat in Abschnitt 7 Stellung zu nehmen)

Im Projekt konnte gezeigt werden, dass rissfreie SiCer-Verbundsubstrate hergestellt werden können. Für Substrate mit Kavitäten können das Direkt-Versintern genutzt werden als auch das SoToS-Verfahren. Bei beiden Verfahren treten teilweise Delaminationen auf.

3. Erfindungen/Schutzrechtsanmeldungen und erteilte Schutzrechte, die vom ZE oder von am Vorhaben Beteiligten gemacht oder in Anspruch genommen wurden, sowie deren standortbezogene Verwertung (Lizenzen u.a.) und erkennbare weitere Verwertungsmöglichkeiten

a) Wirtschaftliche Erfolgsaussichten nach Projektende (mit Zeithorizont)

Die wirtschaftlichen Erfolgsaussichten für SiCeR-Verbundsubstrate nach Projektende haben sich im Vergleich zum Zeitpunkt des Projektantrags leicht gesteigert. Die Tape-generation 2 hat sich als stabiler erwiesen, was eine Herstellung von SiCer-Substraten auch im industriellen Maßstab ermöglichen kann. Das entwickelte SoToS-Verfahren erlaubt zusätzlich die Herstellung sehr komplizierter Substrate. Eine wirtschaftliche Verwertung direkt anschließend an das Projekt erscheint, sowohl durch die unzureichende Verfügbarkeit von unterschiedlichen Tape-Dicken, als auch durch die auftretenden Delaminationen bei den verschiedenen Sinterprozessen, momentan unwahrscheinlich. Für eine wirtschaftliche Verwertung müssen weitere Untersuchungen durchgeführt werden.

Das SoToS-Verfahren wurde nicht zur Patentierung angemeldet, da der Neuheitswert im Vergleich zum etablierten Tape-on-Substrate-Verfahren als zu gering eingeschätzt wurde.

b) Wissenschaftliche und/oder technische Erfolgsaussichten nach Projektende (mit Zeithorizont)

Die wissenschaftlichen und technischen Erfolgsaussichten nach Projektende haben sich im Vergleich zum Projektantrag wie bereits beschrieben geändert. Die Umsetzung der neuartigen Ansätze stellt im Vergleich zum ursprünglichen Ansatz eine adäquate Nutzungsmöglichkeit dar.

c) Wissenschaftliche und wirtschaftliche Anschlussfähigkeit für eine mögliche notwendige nächste Phase bzw. die nächsten innovatorischen Schritte zur erfolgreichen Umsetzung der FE-Ergebnisse

Das Projekt konnte mit beschriebenen angepassten Anforderungen abgeschlossen werden. Eine nächste Phase sollte sich sowohl auf hybride Aufbauten als auch auf die Umsetzung des bereits erwähnten SoToS-Verfahrens fokussieren.

d) Fortschritte auf dem Gebiet des Vorhabens bei anderen Stellen

Fortschritte auf dem Gebiet des Vorhabens bei anderen Stellen sind dem Antragsteller nicht bekannt.

4. Vergleich des Mittelverbrauchs mit der Ausgaben-/Kostenplanung

a) Aufgetretene Abweichungen (z.B. Mittelverschiebungen/-umwidmungen)

Keine Abweichungen zum Ausgaben- und Kostenplan.

5. Veröffentlichungen (bitte auflisten und zusätzlich elektronisch zusenden)

Aufgrund der angespannten Lage während der Corona-Pandemie wurden in dieser Zeit keine Konferenzen besucht. Erst im Jahr 2023 war die Teilnahme an der Ceramic Interconnect Ceramic Microsystems Technologies Conference möglich. Eine schriftliche Veröffentlichung der Ergebnisse ist aufgrund der bestehenden Probleme mit den Materialien innerhalb der Projektlaufzeit nicht erfolgt.